

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

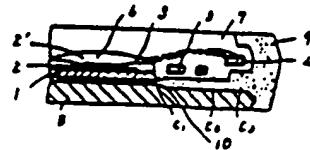
**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

JP 363233555 A
SEP 1988

(54) RESIN SEALED SEMICONDUCTOR DEVICE
 (11) 63-233555 (A) (43) 29.9.1988 (19) JP
 (21) Appl. No. 62-65715 (22) 23.3.1987
 (71) TOSHIBA CORP (72) SHINJIRO KOJIMA
 (51) Int. Cl'. H01L23/30, H01L23/34

PURPOSE: To prevent an air gap from occurring between a heat dissipation fin and a first seal part, in a double-molded type resin sealed semiconductor device, by gradually reducing the distance between the first resin seal part and the planar heat dissipation fin toward the bed part of a lead frame.

CONSTITUTION: A semiconductor element 2 is mounted on a bed part 1, which is the conductive metal plate of a lead frame. A pad 2' and an inner lead terminal 3 or 4 are connected with a thin metal wire 5. After the thin wire 5 is covered with an encapsulating agent 6, a first resin seal part 7 is formed. At this time, the seal is performed so that the rear surface of the bed part 1 is exposed. The bed part 1 and a planar heat dissipation fin 8 are arranged in a metal mold with a slight gap C₁ being provided. A second resin seal part 9 is formed. Here, gaps C₂ and C₃ are formed between the seal part 7 and the fin 8 so that the flow path of the second resin is gradually reduced toward the gap C₁. Since the gap C₁ is excellently filled with the second resin, voids do not remain, and the heat dissipation characteristic becomes excellent.



① 日本国特許庁 (JP) ② 特許出願公開
 ③ 公開特許公報 (A) 昭63-233555

④ Int.CI.
 H 01 L 23/30
 23/34

類別記号 執内整理番号
 B-6835-5F
 B-6835-5F

⑤ 公開 昭和63年(1988)9月29日

審査請求 未請求 発明の数 1 (全4頁)

⑥ 発明の名称 樹脂封止型半導体装置

⑦ 特 願 昭62-65715
 ⑧ 出 願 昭62(1987)3月23日

⑨ 発明者 小島 伸次郎 神奈川県川崎市幸区小向東芝町1 株式会社東芝多摩川工場内

⑩ 出願人 株式会社東芝 神奈川県川崎市幸区塊川町72番地
 ⑪ 代理人 井上 一男

明細書

1. 発明の名称

樹脂封止型半導体装置

2. 特許請求の範囲

導電性金属板表面にマウントする半導体素子と、この周囲に配置する遮断をもつリード線と、このリード線と前記半導体素子間に接続する金属薄膜と、この金属薄膜及び前記半導体素子を複数し前記導電性金属板の裏面を露出して封止処理する第1の樹脂封止部と、前記導電性金属板の裏面と僅かな距離を、傾斜して対向配置する板状の放熱フィンと、この僅かな距離をうの導電板状の放熱フィンの裏面を露出し前記第1の樹脂封止部を介して封止処理する第2の樹脂封止部とをもつ樹脂封止型半導体装置において。

前記板状の放熱フィンと導電性金属板裏面との距離を最小とし、前記放熱フィンと第1の樹脂封止部間の距離、前記金属薄膜を接続する前記リード線に対応する第1の樹脂封止部と前記板状の放熱フィンとの距離を依次増大することを特徴とする

樹脂封止型半導体装置。

3. 発明の詳細な説明

(発明の目的)

(技術上の利用分野)

本発明は樹脂封止型半導体装置の改良に係るもので、特にトランジスタアレイ、SCRアレイ等のパワーモジュールや、パワートランジスタならびにパワーSSDI等の高出力半導体装置に適用する二重にモールドを施した半導体装置に関するものである。

(従来の技術)

最近の半導体装置には單一の半導体素子で構成するものの外に、複数の半導体素子ならびに形成部品を一體としたモジュールタイプも多用されており、その実現性を改善するにはリードフレームにマウントした半導体素子と共に放熱フィンもトランスファ成形する方法が採用されている。

このようなモジュール構造では複数の半導体素子をマウントする寸法の大きいリードフレームを用いるため樹脂封止処理工程中に拘束して、放熱

フインヒリードフレームのペッド部底面が異常に熱くなったりむけられることがある。

このために、被膜防止（トランスファモールド）工程を複数回に分けて実施する方法が採用されており、リードフレームのペッドと放熱フイン部の距離を所定の値に維持できるので、放熱性の改善に役立つところが大きい。

第10図によりこの二重モールド方式を説明する。第10図は二重モールドを施した部品の断面図。この構造を構成する部品には第1の被膜防止部を備えた成形品Aを、リードフレームのペッド部20裏面と放熱フイン21を備かな距離を保って金属内に配置された第一の被膜防止部22と同様なエポキシ樹脂によって被膜形成を行って第二の被膜防止部23を設ける。

この二重モールド方式の結果、ペッド部20にダイボンディングした半導体素子24ならびにリードフレームのリード端子25を保護する金属板26等が埋設すると共に、放熱フイン21の一端はこの被膜防止部と接続して被膜を形成する。

（発明が解決しようとする問題点）

にマウントした半導体素子と電気的接続を保るべく固定した金属板にはリード端子を連結しこれに対応する第1の被膜防止部と板状放熱フイン部の距離とを既存増大する手筋を採用する。

（作　用）

このように本発明では極めて狭い領域に実現する複数被膜技術を既存縮小するように配慮しているので、入り高く從ってエアガイドの発生を防止して、被膜防止部半導体装置に必要な導通性ならびに放熱性を確保したものである。

（実質的）

第1回乃至第2回に本発明の実用例を記述するが、従来の技術と実現する範囲が概念上一致にあるが、新規性を付して説明する。

この実用例は半導体素子62で構成する部品（第5図）をしつ被膜防止部半導体装置であり、この半導体素子をマウントするリードフレームし既だ複数の構造が必要となるが、その上面図を第2図に示す。

半導体素子2…はペッド部20から導電性金属板1

このような二重モールド方式を適用した被膜防止部半導体装置は前述のように放熱フインと、半導体素子をダイボンディングしたリードフレームのペッド部底面を僅かな距離とし、更にこの空間に被膜防止部を充填するので無放熱性に備れた特徴を有している。これに反して、前記空間に被膜防止部が入りにくいためエアガイドが発生しやすい。また、この被膜防止部の境界に複数的接続をもえると、漏電やエアギャップが入り易い要因があり、これが基で放熱特性が劣化する。

本発明は上記欠点を解消する新規な被膜防止部半導体装置を提供することを目的とする。
（発明の構成）

（問題点を解決するための手段）

二重モールド方式を適用した被膜防止部半導体装置における板状の放熱フインと、リードフレームのペッド部から導電性金属板部を充填する第2の被膜防止部のエアギャップ等を解消するために、この極めて狭い領域につながる板状の放熱フインと第1の被膜防止部間の距離と前記導電性金属板

…にマウントされているが、そのパターンは直線でありかつ速度が高いことが良くわかる。一方このリードフレームは第1回等に示すように導電性金属板1…と内部リード端子部3ならびに後述するように金属端子をポンディングする外部リード端子部4の3部分の高さを直に見らせるよう折曲げてこの導電性金属板1…を被膜の位置にする。

半導体素子2…に設けるペッド2'…と外部リード端子4間には通常のポンディング法によって金属端子を接続して電気的接続を図り、これをエンタッピング部6によって被膜板公知のエポキシ樹脂によるトランスファモールド工程を通して第1の被膜防止部7を設ける。この結果半導体素子2、内部外部リード端子3、4は、金属端子5とエンタッピング部6は接続されるものの、導電性金属板1…の基板はこの第1の被膜防止部7表面に露出する。

又に露出した導電性金属板1に対して僅かの距離を保って板状の放熱フイン8を被膜モールド用金属内にせりて第2の被膜防止部9を形成する。

この場合、板状の放熱フィン9と導電性金属板11の距離C₁、₁内部リード3に対応する第1の複数対止部7と板状の放熱フィン9との距離C₂、₂外部リード4に対応する第1の複数対止部7と板状の放熱フィン9との距離C₃として複数部屋が流れ易いように配慮している。C₁に示す距離を維持するには第1区に示すように板状の放熱フィン9の所定位置即ち内部リード端子3に対応する位置にプレス加工で凹部10を設けるか、第9区に示すように第1の複数対止部7の厚さを小さくしても良い。尚このトランシスファモールド工種におけるゲート位置はC₁方向に設けて前述のように複数部屋の流れを改善して最も狭いC₁の通過を良好にする。

更にこの複数部屋の流れに配慮した例が第3～4図、第6～9区であり、簡単的には第2の複数対止部9が第1の複数対止部7を横め付けて板状の放熱フィン9と導電性金属板11とのニアーギップを防止している。

この第4図は第2の複数対止部9を改めて

C₁、₁工型を用いた複数対止部半導体基板の上位面であり第1及び第2の複数対止部7、8が逆位して表面を形成しているが、この第1の複数対止部7の外側に7a～7dの段階を形成している。第3図イは、第1の複数対止部7を形成してから不要部分を除去した成形品の平面図であり、これをA～A線に沿って切断した図が第3図ロである。

この段階に、第2の複数対止部9との位置を良くするために半導体端子の外側言い換えると導電性金属板11の中間位置に形成し、この成形に当っては段階に相当する上型キャビティの成形型ヒークを用い、かつこの導電性金属板11の裏面が第1の複数対止部7の裏面を下型キャビティの裏面に固定配置してトランシスファモールド工種を実質して得られる。

第6図～第9区は第4区に示したB～B、C～C、D～Dの各線に沿って切断した成形品の断面図であり、第1の複数対止部7の段階7a～7dにエボキシ樹脂で構成する第2の複数対止部9a～9dが完成され、第7図に示す段階テープ7eは第2の複数

対止部9に対してUnder Cutの逆テープであって斜度レーキは5°より斜度レーキは10°以上には至る。

この段階は半導体端子2の外側をほぼ囲んで付けられているので、前記C₁の距離を持つ導電性金属板11と板状の放熱フィン9間に充填する第2の複数対止部9の形状が改変されて、第1の複数対止部7を横め付ける効果を発揮する。

尚第4図に示すように第1の複数対止部7が露出する面積は第1の複数対止部7の設置面積の約50%が好ましく、電導力を強めるために少なくするとC₁距離を所定の寸法に収めることができます。ボイドが抜けずに起爆不良となる。これは第2の複数対止部9成形時にC₁距離をもった隙間が後から充填されてここでの複数部屋が小さくなつてかつボイドを差込み易いためである。

(発明の効果)

この二重モールド方式を用いた複数対止部半導体装置では板状放熱フィンと第1の複数対止部間に第2の複数対止部が充填され易くて、エ

アーボイドが発生し難い。又って半導体装置の耐熱性が安定して高耐圧端子が持られる効果があり、しかもリード端子の自由度も従来より増す。

又厚さ2mmの板状放熱フィンを使用して外厚さは77(幅)×27(高)×7(厚)mmである第4区の複数対止部半導体装置を試作としてC₁を0.34mmとすると、ピーク値として±0.75Vを1分でクリアで±0.3mmでは±4.81V×1分をクリアした。

4. 装置の簡単な説明

第1図は本発明の供する半導体装置の断面を示す断面図、第2～4はリードフレームの平面図、第3図イは第1の複数対止部の状態を示す上位面、第3図ロは第3図イをA～A線になつて切断した断面図、第4図は本発明に供する半導体装置の上位面、第5図はこの半導体装置の断面図、第6～第9図は第4図のB～B、C～C、D～D線に沿って切断した断面図、第9図は本発明に供する半導体の断面を示す断面図、第10図は反対面の断面図である。

代理人 外堀士井一男

